

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

13267774

Basic Patent (No,Kind,Date): JP 8242006 A2 19960917 <No. of Patents: 002>

PRODUCTION OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI

IPC: \*H01L-029/786; H01L-021/336; H01L-027/12

CA Abstract No: \*125(26)343206U; 125(26)343206U

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 8242006	A2	19960917	JP 9632979	A	19960127	(BASIC)
<b>JP 3109570</b>	B2	20001120	JP 9632979	A	19960127	

Priority Data (No,Kind,Date):

JP 9632979 A 19960127

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

05286506 \*\*Image available\*\*

**PRODUCTION OF SEMICONDUCTOR DEVICE**

PUB. NO.: 08-242006 [JP 8242006 A]

PUBLISHED: September 17, 1996 (19960917)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 08-032979 [JP 9632979]

FILED: January 27, 1996 (19960127)

INTL CLASS: [6] H01L-029/786; H01L-021/336; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

**ABSTRACT**

**PURPOSE:** To obtain a high performance by forming a true non-single crystal semiconductor layer on a silicon oxide film that is formed by a low-pressure CVD method using disilane or trisilane and crystalizing it at a specific low temperature.

**CONSTITUTION:** A silicon oxide film is formed as a blocking layer 51 on a glass 50 that is inexpensive such as quartz glass, etc., and can withstand the heat treatment of at most 700 deg.C, by using a high frequency sputtering method. A disilane or trisilane is supplied through for film formation by a low pressure vapor method at 450-550 deg.C that is 100-200 deg.C lower than the crystallization temerature. Then, after a slicon film in an amorphous state is formed, it is entirely annealed in an atmosphere of non-oxide for 12 to 70 hours at an intermediate temperature of 450-700 deg.C, and a silicon film 52 is changed from an amorphous structure to higher-order state, thereby obtaining higher carrier mobility without grain boundary. The film 52 is subjected to photoetching, and an area 22 for a PTHT is formed on the right side of the glass 50 and an area 13 on the left side thereof, respectively, then gate electrodes 55 and 56 are formed thereon by using the silicon oxide film as a gate insulation film 54.

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号 3240

特許第3109570号  
(P3109570)

(45)発行日 平成12年11月20日 (2000.11.20)

(24)登録日 平成12年9月14日 (2000.9.14)

(51)Int.Cl.<sup>7</sup>  
H 01 L 29/786  
21/336  
27/12

識別記号

F I  
H 01 L 29/78  
27/12  
29/78

6 2 7 G  
R  
6 1 3 A

請求項の数4(全9頁)

(21)出願番号 特願平8-32979  
(62)分割の表示 特願平2-418366の分割  
(22)出願日 平成2年12月25日 (1990.12.25)  
(65)公開番号 特開平8-242006  
(43)公開日 平成8年9月17日 (1996.9.17)  
審査請求日 平成8年5月8日 (1996.5.8)  
審判番号 平11-9001  
審判請求日 平成11年5月27日 (1999.5.27)

(73)特許権者 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72)発明者 山崎 舜平  
神奈川県厚木市長谷398番地 株式会社  
半導体エネルギー研究所内

合議体  
審判長 今野 朗  
審判官 内野 春喜  
審判官 岡 和久

最終頁に続く

(54)【発明の名称】 半導体装置作製方法

(57)【特許請求の範囲】

【請求項1】絶縁表面に酸素濃度が $7 \times 10^{19}$ atoms/cm<sup>3</sup>以下でかつ硼素が添加されたシリコンを主成分とする非単結晶半導体層を形成する工程と、

前記非単結晶半導体層を非酸化性雰囲気において450～700℃で加熱して半導体層を形成する工程とを有し、

前記半導体層はラマンピークのラマンシフトが単結晶シリコンより低波数であることを特徴とする半導体装置の作製方法。

【請求項2】PチャネルトランジスタとNチャネルトランジスタを含む半導体装置において、絶縁表面に酸素濃度が $7 \times 10^{19}$ atoms/cm<sup>3</sup>以下でかつ硼素が添加されたシリコンを主成分とする非単結晶半導体層を形成する工程と、

前記非単結晶半導体層を非酸化性雰囲気において450～700℃で加熱して半導体層を形成する工程とを有し、

前記半導体層はラマンピークのラマンシフトが単結晶シリコンより低波数であり、前記Pチャネルトランジスタと前記Nチャネルトランジスタのスレッシュホールド電圧の絶対値は同じであることを特徴とする半導体装置の作製方法。

【請求項3】請求項1または2において、前記非単結晶半導体層はアモルファス構造を有していることを特徴とする半導体装置の作製方法。

【請求項4】請求項1または2において、前記絶縁表面はガラス基板上に形成された酸化珪素膜の表面であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は珪素でなる半導体層を有する半導体装置の作製方法に関する。

## 【0002】

【従来の技術】従来、珪素でなる半導体層を有する半導体装置、例えば薄膜トランジスタを、絶縁表面を有する基板上に作製することが研究されている。

## 【0003】

しかし、ガラス基板等の耐熱性が低い基板上に半導体装置を形成する場合、半導体装置を構成する珪素膜の結晶性を高めることができないため、作製される半導体装置の性能を高めることができない。

## 【0004】

【発明が解決しようとする課題】本発明は、低温で作製でき、かつ高い性能を有する半導体装置を作製することを目的とする。

## 【0005】

【課題を解決するための手段】上記課題を解決するためには、本明細書に開示する発明の一つは、ガラス基板上に酸化珪素膜を形成する工程と、反応ガスとしてジシランまたはトリシランを用いた減圧CVD法により、前記酸化珪素膜の上に真性の非単結晶半導体層を形成する工程と、前記半導体層を700℃を越えない温度で加熱して結晶化させる工程と、前記半導体層上にゲート絶縁膜を形成する工程とを有することを特徴とする半導体装置作製方法である。

【0006】またこの構成において、前記減圧CVD法は、珪素の結晶化温度より100～200℃低い温度で実施されることを特徴とする。

【0007】さらにこの構成において、前記非単結晶半導体はアモルファス半導体であることを特徴とする。

【0008】さらにこの構成において、前記半導体層の結晶化工程は、450～700℃の範囲で行なわれることを特徴とする。

【0009】さらにこの構成において、前記半導体層中の酸素原子の濃度は、 $7 \times 10^{19} \text{ atoms/cm}^3$ 以下であることを特徴とする。

【0010】本明細書に開示する他の発明の一つは、ガラス基板上に酸化珪素膜を形成する工程と、反応ガスとしてジシランまたはトリシランを用いた減圧CVD法により、前記酸化珪素膜の上に真性の非単結晶半導体層を形成する工程と、前記半導体層を加熱して結晶化させる工程とを有し、前記減圧CVD法により前記非単結晶半導体層を形成する間に、硼素が前記半導体層に添加されることを特徴とする半導体装置作製方法である。

【0011】この構成において、前記半導体層は $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ の範囲の濃度で硼素を含有していることを特徴とする。

【0012】さらにこの構成において、前記半導体層中の酸素原子の濃度は、 $7 \times 10^{19} \text{ atoms/cm}^3$ 以下であることを特徴とする。

【0013】本明細書で開示する他の発明の一つは、反応ガスとしてジシランまたはトリシランを用いた減圧CVD法により、シリコンを含む半導体層を絶縁表面上に形成する工程と、前記半導体層を加熱により結晶化させる工程を有し、前記結晶化後の前記半導体層が示すラマンシフトは、単結晶シリコンが示すものより低周波数側にシフトしていることを特徴とする半導体装置作製方法である。

【0014】本明細書で開示する他の発明の一つは、反応ガスとしてジシランまたはトリシランを用いた減圧CVD法により、シリコンを含む半導体層を絶縁表面上に形成する工程と、前記半導体層を加熱により結晶化させる工程を有し、前記結晶化後の前記半導体層は、ラマン半値幅による測定で50～500Åの範囲の結晶粒径を有することを特徴とする半導体装置作製方法である。

【0015】上記構成において、前記絶縁表面はガラス基板上に形成された酸化珪素膜であることを特徴とする。

【0016】本明細書で開示する他の発明の一つは、反応ガスとしてジシランまたはトリシランを用いた減圧CVD法により、シリコンを含む真性の非単結晶半導体層を絶縁表面上に形成する工程と、前記半導体層を700℃を越えない温度で加熱して結晶化させる工程と、前記結晶化工程後、前記結晶化された半導体層を島状半導体にパターニングする工程と、前記結晶化された半導体層上にゲート絶縁膜を形成する工程とを有することを特徴とする半導体装置作製方法である。

【0017】本明細書で開示する他の発明の一つは、少なくともPチャネルトランジスタとNチャネルトランジスタを含む半導体装置を作製するに際し、反応ガスとしてジシランまたはトリシランを用いた減圧CVD法により、シリコンを含む非単結晶半導体層を絶縁表面上に形成する工程と、前記半導体層を700℃を越えない温度で加熱して結晶化させる工程とを有し、前記Pチャネルトランジスタと前記Nチャネルトランジスタのスレッシュホールド電圧が概略同じになるように制御するために、前記半導体装置に硼素が添加されることを特徴とする半導体装置作製方法である。

【0018】上記構成により、低温で作製でき、かつ高い性能を有する半導体装置を作製することができる。以下に実施例を示す。

## 【0019】

## 【実施例】【実施例1】

OA機器等のディスプレイとしてCRTに代わりフラットディスプレイが注目され、特に大面積化への期待が強くなっている。またフラットディスプレイの他の応用として壁掛けTVの開発も急ピッチで進められている。また、フラットディスプレイのカラー化、高精細化の要求も相当高まっている。

【0020】このフラットディスプレイの代表例として

液晶表示装置が知られている。これは一対のガラス基板間に電極を挟んで保持された液晶組成物に電界を加えて、液晶組成物の状態を変化させ、この状態の違いを利用して、表示を行う。この液晶の駆動のために薄膜トランジスタ（以下TFTという）やその他のスイッチング素子を設けたものや単純にマトリクス構成を持つものがある。何れの場合も、縦横（X、Y）方向の各配線に対して液晶を駆動するための信号を送り出すドライバ回路がディスプレイ周辺に設けられている。

【0021】このドライバ回路は通常は単結晶シリコンのMOS集積回路（IC）で構成されている。このICには各ディスプレイ電極に対応するパッド電極が設けられており、この両者の間にプリント基板が介在し、先ずICのパッド電極とプリント基板を接続し、次にプリント基板とディスプレイを接続していた。このプリント基板はガラスエポキシや紙エポキシの絶縁物基板またはフレキシブルなプラスティックよりなる基板であり、その占有面積はディスプレイと同じかまたはそれ以上の面積が必要であった。また、同様に容積も相当大きくする必要があった。

【0022】このような従来のディスプレイは前述のような構成のため以下のようないくつかの欠点を有していた。

【0023】すなわち、①マトリクス配線のX方向、Y方向の表示電極またはソース（ドレイン）配線またはゲート配線の数と同数の接続がプリント基板との間で行われるために、実装技術上接続可能な各接続部間の間隔に制限があるために、高精細な表示ディスプレイを作製することはできなかった。

【0024】②表示ディスプレイ本体以外にプリント基板、ICおよび接続配線が必要であり、その必要面積および必要容積はディスプレイ本体の数倍にも及んでいた。

【0025】③ディスプレイ本体とプリント基板およびプリント基板とICとの接続箇所が多く、しかも、かなりの重量があるので接続部分に無理な力が加わり、接続の信頼性が低かった。

【0026】一方、このような、欠点を解決する方法として、ディスプレイ特にアクティブ素子をスイッチング素子として使用した表示装置において、アクティブ素子と周辺回路とを同じ基板上にTFTで構成することが提案されている。しかしながらこの構成によると前述の3つの欠点はほぼ解決することができるが、新たに以下のよう別の問題が発生した。

【0027】④アクティブ素子以外に周辺回路をもTFT化した為に、同一基板上に形成する素子の数が増し、TFTの製造歩留りが低下した。従ってディスプレイの製造歩留りも低下した。

【0028】⑤アクティブ素子部分の素子構造に比べ周辺回路部分は非常に複雑な素子構造を取っている。従って、回路パターンが複雑になり、製造プロセス技術もよ

り高度になり、コストが上昇する。また、当然に多層配線部分が増し、プロセス工程数の増加とTFTの製造歩留りの低下が起った。

【0029】⑥周辺回路を構成するトランジスタは早い応答速度が要求されるため、通常は多結晶半導体を使用していた。そのため、半導体層を多結晶化するために、高温の処理を必要とし、高価な石英基板等を使用しなければならなかった。

【0030】本実施例は上記のような6つ問題を適度にバランスよく解決するものであり、コストが低く、製造歩留りの高い液晶表示装置に関するものである。

【0031】すなわち、複数のゲート線、複数のソース（ドレイン）線および相補型構成の薄膜トランジスタを有する画素マトリクスが形成された第1の基板と前記第1の基板に対抗して配置された第2の基板と前記一対の基板間に保持された液晶組成物よりなる液晶表示装置であって、前記第1の基板上に形成されるXまたはY方向のマトリクス配線に接続されている周辺回路のうちの少なくとも一部の周辺回路を前記画素に接続されたアクティブ素子と同様の相補型構成として、同一のプロセスで形成された薄膜トランジスタとし、残りの周辺回路は半導体チップで構成されている。

【0032】また、TFT化しない残りの周辺回路としてのICと基板との接続はICチップを直接基板上に設けて、各接続端子と接続するCOG法やICチップを1個毎にフレキシブルな有機樹脂基板上に設け、その樹脂基板とディスプレイ基板とを接続しするTAB法により、実現できる。

【0033】すなわち、本実施例は液晶表示装置の周辺回路の全てをTFT化するのではなく、素子構造の簡単な部分のみ、または素子数の少ない機能部分のみ、または汎用のICが入手しにくい回路部分のみ、さらにはICのコストが高い部分のみをTFT化して、液晶表示装置の製造歩留りを向上させるとともに、製造コストを下げることができる。

【0034】また、周辺回路の一部をTFT化することにより、従来では相当な数が必要であった外付けのICの数を減らし、製造コストを下げるものである。

【0035】さらにまた、アクティブ素子と周辺回路を同じプロセスにて作成した相補型構成（CTFT）の薄膜トランジスタとしたので、画素駆動の能力が向上し、周辺回路に冗長性を与えることができ、余裕のある液晶表示装置の駆動を行うことができた。

【0036】また、周辺回路全部をTFT化するとディスプレイ用の基板の寸法をX方向およびY方向の両方に大きくする必要があり表示装置全体の専有面積が大きくなるが、一部のみをTFT化するとほんの少しだけ基板を大きくするだけですみ、表示装置を使用するコンピューターや装置の外形寸法に容易にあわせることができかつ専有面積と専有容積の少ない表示装置を実現できる。

【0037】周辺回路中の素子構造が複雑である部分、例えば、多層配線が必要な素子構造やアンプの機能を持たせた部分等をTFT化するのに高度な作製技術が必要になるが、一部をTFT化することで、技術的に難しい部分は従来のICを使用し、簡単な素子構造あるいは単純な機能の部分をTFT化でき、低コストで高い歩留りで表示装置を実現できる。

【0038】また、一部のみTFT化することで、周辺回路部分の薄膜トランジスタの数を相当減らすことができる、単純にX方向、Y方向の周辺回路の機能が同じ場合はほぼその数は半数となる。このように、TFT化する素子数を減らすことで、基板の製造歩留りを向上させることができ、かつ基板の面積、容積を減少できた表示装置を低コストで実現することが可能となった。

【0039】さらに、TFTに使用される半導体層を従来から使用されている、多結晶またはアモルファス半導体ではなく、新しい概念のセミアモルファス半導体を使用することで、低温で作製ができ、しかも、キャリアの移動度の非常に大きい、応答速度の早いTFTを実現することができる。

【0040】このセミアモルファス半導体とは、LPCVD法、スパッタ法あるいはPCVD法等により膜形成の後に熱結晶化処理を施して得られるが、以下にはスパッタ法を例にとり説明をする。

【0041】すなわちスパッタ法において単結晶のシリコン半導体をターゲットとし、水素とアルゴンとの混合気体でスパッタをすると、アルゴンの重い原子のスパッタ（衝撃）によりターゲットからは原子状のシリコンが離れ、被形成面を有する基板上に飛しようするが、同時に数十～数十万個の原子が固まった塊がクラスタとしてターゲットから離れ、被形成面に飛しようする。

【0042】この飛しよう中は、水素がこのクラスタの外周辺の珪素の不対結合と結合し、結合した状態で被形成面上に秩序性の比較的高い領域として作られる。すなわち、被膜形成面上には秩序性の高い、かつ周辺にSi-H結合を有するクラスタと純粋のアモルファス珪素との混合物の状態を実現する。これを450℃～700℃の非酸化性気体中での熱処理により、クラスタの外周辺のSi-H結合は他のSi-H結合と反応し、Si-Si結合を作る。

【0043】この結合はお互い引っぱりあうと同時に、秩序性の高いクラスタはより高い秩序性の高い状態、すなわち結晶化に相を移そうとする。しかし、隣合ったクラスタ間は、互いに結合したSi-Siがそれぞれのクラスタ間を引っぱりあう。その結果は、結晶は格子歪を持ちレーザラマンでの結晶ピークは単結晶の520cm<sup>-1</sup>より低波数側にずれて測定される。

【0044】また、このクラスタ間のSi-Si結合は互いのクラスタをアンカリング（連結）するため、各クラスタでのエネルギーバンドはこのアンカリングの個所を

経て互いに電気的に連結しある。そのため結晶粒界がキャリアのバリアとして働く多結晶シリコンとは根本的に異なり、キャリア移動度も10～200cm<sup>2</sup>/Vsを得ることができる。

【0045】つまり、かるる定義に基づくセミアモルファス半導体は見掛け上結晶性を持ちながらも、電気的には結晶粒界が実質的でない状態を予想できる。もちろん、アニール温度がシリコン半導体の場合の450℃～700℃という中温アニールではなく、1000℃またはそれ以上の結晶成長をともなう結晶化をさせる時はこの結晶成長により、膜中の酸素等が粒界に折出し、バリアを作ってしまう。これは、単結晶と同じ結晶と粒界のある材料（多結晶）である。

【0046】また、この半導体におけるクラスタ間のアンカリングの程度をより大きくすると、よりキャリア移動度は大きくなる。このためにはこの膜中にある酸素量を $7 \times 10^{19} \text{ cm}^{-3}$ 好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下にすると、さらに600℃よりも低い温度で結晶化ができるに加えて、高いキャリア移動度を得ることができる。

【0047】本実施例では図1に示すようなm×nの回路構成の液晶表示装置を用いて説明を行う。すなわち図1のX方向の配線に接続された周辺回路部分のうちアナログスイッチアレー回路部分1のみを画素6に設けられたアクティブ素子と同様にTFT化し、Y方向配線に接続された周辺回路部分もアナログスイッチアレー回路部分2のみをTFT化しその他の周辺回路部分はIC4で、COG法により基板に接続している。ここで、TFT化した周辺回路部分は画素に設けられたアクティブ素子と同様にCTFT（相補型構成）として形成してある。

【0048】この回路構成に対応する実際の電極等の配置構成を図2に示している。図2は説明を簡単にする為2×2に相当する部分のみ記載されている。

【0049】まず、本実施例で使用する液晶表示装置上のTFTの作製方法を図3を使用して説明する。図3(A)において、石英ガラス等の高価でない700℃以下、例えば約600℃の熱処理に耐え得るガラス50上にマグネットロンRF（高周波）スパッタ法を用いてプロッキング層51としての酸化珪素膜を1000～3000Åの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度15℃、出力400～800W、圧力0.5Paとした。ターゲットに石英または単結晶シリコンを用いた成膜速度は30～100Å/分であった。

【0050】この上にシリコン膜をLPCVD（減圧気相）法、スパッタ法またはプラズマCVD法により形成した。減圧気相法で形成する場合、結晶化温度よりも100～200℃低い450～550℃、例えば530℃でジシラン(Si<sub>2</sub>H<sub>6</sub>)またはトリシラン(Si<sub>3</sub>H<sub>8</sub>)をCVD装置に供給して成膜した。反応炉内圧力は

30~300Paとした。成膜速度は50~250Å/分であった。NTFTとPTFTとのスレッシュホールド電圧(Vth)に概略同一に制御するため、ホウ素をジボランを用いて $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の濃度として成膜中に添加してもよい。

【0051】スパッタ法で行う場合、スパッタ前の背圧を $1 \times 10^{-5} \text{ Pa}$ 以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20~80%混入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜温度は150°C、周波数は13.56MHz、スパッタ出力は400~800W、圧力は0.5Paであった。

【0052】プラズマCVD法により珪素膜を作製する場合、温度は例えば300°Cとし、モノシラン(SiH<sub>4</sub>)またはジシラン(Si<sub>2</sub>H<sub>6</sub>)を用いた。これらをPCVD装置内に導入し、13.56MHzの高周波電力を加えて成膜した。

【0053】これらの方法によって形成された被膜は、酸素が $5 \times 10^{21} \text{ cm}^{-3}$ 以下であることが好ましい。この酸素濃度が高いと、結晶化させにくく、熱アーニール温度を高くまたは熱アーニール時間を長くしなければならない。また少なすぎると、バックライトによりオフ状態のリーク電流が増加してしまう。そのため $4 \times 10^{19} \sim 4 \times 10^{21} \text{ cm}^{-3}$ の範囲とした。水素は $4 \times 10^{20} \text{ cm}^{-3}$ であり、珪素 $4 \times 10^{22} \text{ cm}^{-3}$ として比較すると1原子%であった。また、ソース、ドレインに対してより結晶化を助長させるため、酸素濃度を $7 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下とし、ピクセル構成する TFTのチャネル形成領域のみに酸素をイオン注入法により $5 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ となるように添加してもよい。その時周辺回路を構成するTFTには光照射がなされないため、この酸素の混入をより少なくし、より大きいキャリア移動度を有せしめることは、高周波動作をさせるための有効である。

【0054】次に、アモルファス状態の珪素膜を500~5000Å、例えば1500Åの厚さに作製の後、450~700°Cの温度にて12~70時間非酸化物雰囲気にて中温の加熱処理、例えば水素雰囲気下にて600°Cの温度で保持した。珪素膜の下の基板表面にアモルファス構造の酸化珪素膜が形成されているため、この熱処理で特定の核が存在せず、全体が均一に加熱アーニールされる。即ち、成膜時はアモルファス構造を有し、また水素は単に混入しているのみである。

【0055】アーニールにより、珪素膜はアモルファス構造から秩序性の高い状態に移り、一部は結晶状態を呈する。特にシリコンの成膜後の状態で比較的秩序性の高い領域は特に結晶化をして結晶状態となろうとする。しかしこれらの領域間に存在する珪素により互いの結合がなされるため、珪素同志は互いにひっぱりあう。レーザラ

マン分光により測定すると単結晶の珪素のピーク $522 \text{ cm}^{-1}$ より低周波側にシフトしたピークが観察される。その見掛け上の粒径は半値巾から計算すると、50~500Åとマイクロクリスタルのようになっているが、実際はこの結晶性の高い領域は多数あってクラスタ構造を有し、各クラスタ間は互いに珪素同志で結合(アンカリング)がされたセミアモルファス構造の被膜を形成させることができた。

【0056】結果として、被膜は実質的にグレインバウンダリ(以下GBという)がないといつてもよい状態を呈する。キャリアは各クラスタ間をアンカリングされた個所を通じ互いに容易に移動し得るため、いわゆるGBの明確に存在する多結晶珪素よりも高いキャリア移動度となる。即ちホール移動度( $\mu_h$ ) =  $10 \sim 200 \text{ cm}^2/\text{Vsec}$ 、電子移動度( $\mu_e$ ) =  $15 \sim 300 \text{ cm}^2/\text{Vsec}$ が得られる。

【0057】他方、上記の如き中温でのアーニールではなく、900~1200°Cの高温アーニールにより被膜を多結晶化すると、核からの固相成長により被膜中の不純物の偏析がおきて、GBには酸素、炭素、窒素等の不純物が多くなり、結晶中の移動度は大きいが、GBでのバリア(障壁)を作つてそこでキャリアの移動を阻害してしまう。結果として $10 \text{ cm}^2/\text{Vsec}$ 以上の移動度がなかなか得られないのが実情である。即ち、本実施例ではかくの如き理由により、セミアモルファスまたはセミクリスタル構造を有するシリコン半導体を用いている。

【0058】図3(A)において、珪素膜を第1のフォトマスク①にてフォトエッチングを施し、PTFT用の領域22(チャネル巾 $20 \mu\text{m}$ )を図面の右側に、NTFT用の領域13を左側に作製した。

【0059】この上に酸化珪素膜をゲイト絶縁膜として $500 \sim 2000 \text{ Å}$ 例えば $1000 \text{ Å}$ の厚さに形成した。これはプロッキング層としての酸化珪素膜の作製と同一条件とした。この成膜中に弗素を少量添加し、ナトリウムイオンの固定化をさせてもよい。

【0060】この後、この上側にリンが $1 \sim 5 \times 10^{21} \text{ cm}^{-3}$ の濃度に入ったシリコン膜またはこのシリコン膜とその上にモリブデン(Mo)、タンゲステン(W)、MoSi<sub>2</sub>またはWSi<sub>2</sub>との多層膜を形成した。これを第2のフォトマスク②にてパターニングして図3(B)を得た。PTFT用のゲイト電極55、NTFT用のゲイト電極56を形成した。例えばチャネル長 $10 \mu\text{m}$ 、ゲイト電極としてリンドープ珪素を $0.2 \mu\text{m}$ 、その上にモリブデンを $0.3 \mu\text{m}$ の厚さに形成した。図3(C)において、フォトレジスト57をフォトマスク③を用いて形成し、PTFT用のソース59ドレイン58に対し、ホウ素を $1 \sim 5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入法により添加した。次に図3(D)の如く、フォトレジスト61をフォトマスク④を

用いて形成した。NTFT用のソース64、ドレイン62としてリンを $1 \sim 5 \times 10^{-15} \text{ cm}^{-2}$ のドーズ量でイオン注入法により添加した。

【0061】これらはゲイト絶縁膜54を通じて行った。しかし図3(B)において、ゲイト電極55、56をマスクとしてシリコン膜上の酸化珪素を除去し、その後、ホウ素、リンを直接珪素膜中にイオン注入してもよい。

【0062】次に、600°Cにて10~50時間再び加熱アニールを行った。PTFTのソース59、ドレイン58 NTFTのソース64、ドレイン62を不純物を活性化してP+、N+として作製した。またゲイト電極55、56下にはチャネル形成領域60、63がセミアモルファス半導体として形成されている。

【0063】かくすると、セルフアライン方式でありながらも、700°C以上にすべての工程で温度を加えることがなくC/TFTを作ることができる。そのため、基板材料として、石英等の高価な基板を用いなくてもよく、本実施例の大画素の液晶表示装置にきわめて適したプロセスである。

【0064】本実施例では熱アニールは図3(A)、(D)で2回行った。しかし図3(A)のアニールは求める特性により省略し、双方を図3(D)のアニールにより兼ね製造時間の短縮を図ってもよい。図4(A)において、層間絶縁物65を前記したスパッタ法により酸化珪素膜の形成として行った。この酸化珪素膜の形成はLPCVD法、光CVD法、常圧CVD法を用いてよい。例えば0.2~0.6 μmの厚さに形成し、その後、フォトマスク⑤を用いて電極用の窓66を形成した。さらに、これら全体にアルミニウムをスパッタ法により形成し、リード71、72およびコンタクト67、68をフォトマスク⑥を用いて作製した後、表面を平坦化用有機樹脂69例えば透光性ポリイミド樹脂を塗布形成し、再度の電極穴あけをフォトマスク⑦にて行った。

【0065】図4(B)に示す如く2つのTFTを相補型構成とし、かつその出力端を液晶装置の一方の画素の電極を透明電極としてそれに連結するため、スパッタ法によりITO(インジューム・スズ酸化膜)を形成した。それをフォトマスク⑧によりエッチングし、電極70を構成させた。このITOは室温~150°Cで成膜し、200~400°Cの酸素または大気中のアニールにより成就した。かくの如くにしてPTFT22とNTFT13と透明導電膜の電極70とを同一ガラス基板50上に作製した。得られたTFTの電気的な特性はPTFTで移動度は20 (cm<sup>2</sup>/Vs)、V<sub>th</sub>は-5.9 (V)で、NTFTで移動度は40 (cm<sup>2</sup>/Vs)、V<sub>th</sub>は5.0 (V)であった。

【0066】この液晶表示装置の画素部分の電極等の配置を図2に示している。NTFT13を第1の走査線15とデータ線21との交差部に設け、第1の走査線15

とデータ線14との交差部にも他の画素用のNTFTが同様に設けられている。一方PTFTは第2の走査線18とデータ線21との交差部に設けられている。また、隣接した他の第1の走査線16とデータ線21との交差部には、他の画素用のNTFTが設けられている。このようなC/TFTを用いたマトリクス構成を有せしめた。NTFT13は、ドレイン64の入力端のコンタクトを介し第1の走査線15に連結され、ゲイト56は多層配線形成がなされたデータ線21に連結されている。ソース62の出力端はコンタクトを介して画素の電極17に連結している。

【0067】他方、PTFT22はドレイン58の入力端がコンタクトを介して第2の走査線18に連結され、ゲイト55はデータ線21に、ソース59の出力端はコンタクトを介してNTFTと同様に画素電極17に連結している。かくして一対の走査線15、18に挟まれた間(内側)に、透明導電膜よりなる画素23とC/TFTとにより1つのピクセルを構成せしめた。かかる構造を左右、上下に繰り返すことにより、2×2のマトリクスをそれを拡大した640×480、1280×960といった大画素の液晶表示装置とすることができる。

【0068】このようにスイッチング素子と同じプロセスで作製されたNTFT13とPTFT22とが設けられたCMOS構成となっている。

【0069】上記の如くにして、片方の基板を完成し、他方の基板と従来よりの方法で貼り合わせ、STN液晶を基板間に注入する。次に、残りの周辺回路として、IC4を使用する。このIC4はCOGにより基板のX方向の配線およびY方向の配線の各々と接続されている。このIC4には外部から電源、データの供給の為の接続リードが各々に接続されているだけで、基板の一辺全てに接続の為のFPCが張りつけられているようではなく、接続部分の数が相当減り信頼性が向上する。上記の如くにして、本実施例の液晶表示装置を完成した。

【0070】本実施例においては、X方向側の周辺回路のうちアナログスイッチアレー部分1のみをY方向側の周辺回路のうちアナログスイッチアレー部分2のみをTFT化し、スイッチング素子と同じプロセスでC/TFT化し、残りの周辺回路部分をIC4で構成したが、特にこの構成に限定されることはなく、TFT化する際の歩留り、TFT化する際のプロセス技術上の問題等を考慮して、よりTFT化が簡単な部分のみをTFT化すればよい。

【0071】本実施例では半導体膜として、セミアモルファス半導体を使用したので、その移動度は非単結晶半導体を使用したTFTに比べて10倍以上の値が得られている。そのため、早い応答速度を必要とされる周辺の回路のTFTにも、十分使用でき、従来のように、周辺回路部分のTFTを特別に結晶化処理する必要もなくアクティブ素子と同じプロセスで作成することができた。

【0072】また、液晶の画素に接続されたアクティプ素子として、C/TFT構成としたので、動作マージンが拡大し、画素の電位がふらつくことはなく一定の表示レベルを確保でき、また一方のTFTが不良でも特に目立った欠陥表示都ならない等の利点があった。

【0073】本実施例に示す構成により、液晶表示を外部の接続技術上の制限の為に高精細化できないことはなくなった。また、X方向の配線またはY方向の配線と外部の周辺回路との不要な接続を極力へらせることができたので、接続部分での信頼性が向上した。

【0074】一部の周辺回路のみをTFT化するため、ディスプレイ基板自身の専有面積をへらすことができ、かつ必要とされる寸法形状に自由に基板の設計ができる。また、TFTの製造上の問題を回避して、製造歩留りの高い部分のみをTFT化できる。よって、製造コストを下げる事ができた。

【0075】TFTに使用する半導体膜として、セミアモルファス半導体を使用したので、周辺回路用にも十分使用できる応答速度が得られ、アクティプ素子の作成プロセスのまま特別な処理をすることもなく、周辺回路用のTFTを同時に作成することができた。

【0076】本実施例は相補型のTFTをマトリクス化された各画素に連結することにより、①しきい値の明確化 ②スイッチング速度の増加 ③動作マージンの拡大

④不良TFTが一部にあってもその補償をある程度行うことができる。⑤作製に必要なフォトマスク数はNTFTのみの従来例に比べて2回多くなるのみである。⑥キャリアの移動度がアモルファス珪素を用いた場合に比べ10倍以上も大きいため、TFTの大きさを小さくでき、1つのピクセル内に2つのTFTをつけても開口率の減少をほとんど伴わない。という多くの特長を有する。

【0077】そのため、これまでのNTFTのみを用いるアクティプTFT液晶装置に比べて、数段の製造歩留まりと画面の鮮やかさを成就できるようになった。

【0078】〔参考例〕

本実施例の液晶表示装置の概略外観図を図5に示す。基本的な回路等は実施例1と全く同じである。図5において、

Y方向の配線に接続された周辺回路のうちIC4で構成されている部分は、COG法により、基板上に直接ICが形成されている。このIC4は基板の上下の部分に分けて設けられている。

【0079】この場合IC4のパッド電極とY方向配線との接続にいて、ICを片側のみに形成した場合に比べてより間隔を狭くできる。その為より高精細な表示画素を設計できる特徴をもつ。さらに、基板上にICを設けたので、その容積は殆ど増すことがなく、より薄型の液晶表示装置を提供することができた。

【0080】上記の実施例において、アクティプ素子のTFTはいずれもCMOS構成としたが、特にこの構成に限定されることはなく、NTFT、PTFTのみで構成してもよい、その場合は周辺回路の構成がより素子数が増すことになる。

【0081】また、基板上にTFTを形成する位置をX方向またはY方向の配線と繋がっている一方側のみではなく、もう一方の側にもTFTを形成して、交互にTFTを接続し、TFTの密度を半分として、TFTの製造歩留りを向上させることを実現した。

【0082】

【発明の効果】本発明により、低温で作製でき、かつ高い性能を有する半導体装置を作製することができた。

【図面の簡単な説明】

【図1】m×nの回路構成の液晶表示装置を示す図。

【図2】液晶表示装置の画素部分の配置の様子を示す図。

【図3】TFTの作製工程の概略を示す図。

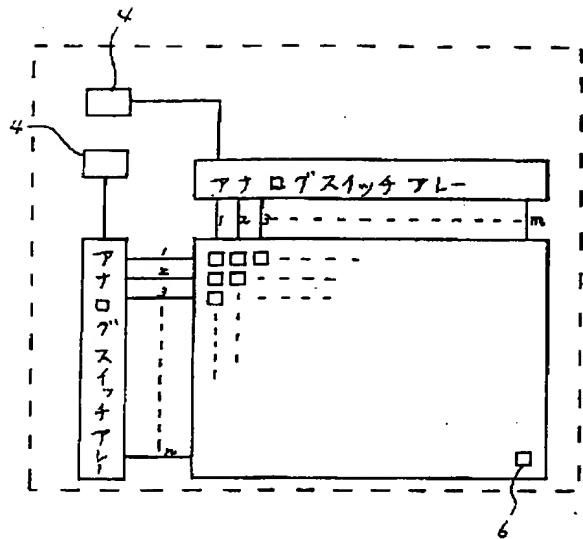
【図4】TFTの作製工程の概略を示す図。

【図5】他の実施例を示す図。

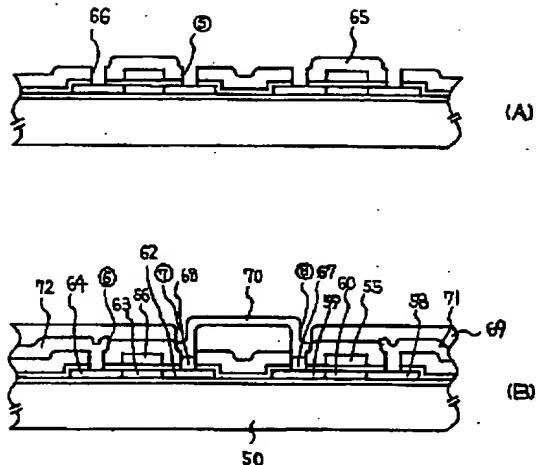
【符号の説明】

- 1、2……周辺回路
- 4………IC
- 5………TFT化した周辺回路
- 6………画素
- 13……NTFT
- 22……PTFT

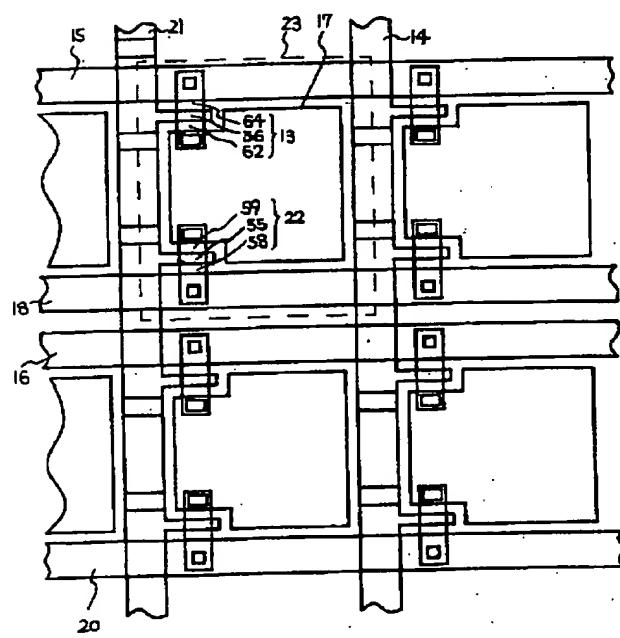
【图 1】



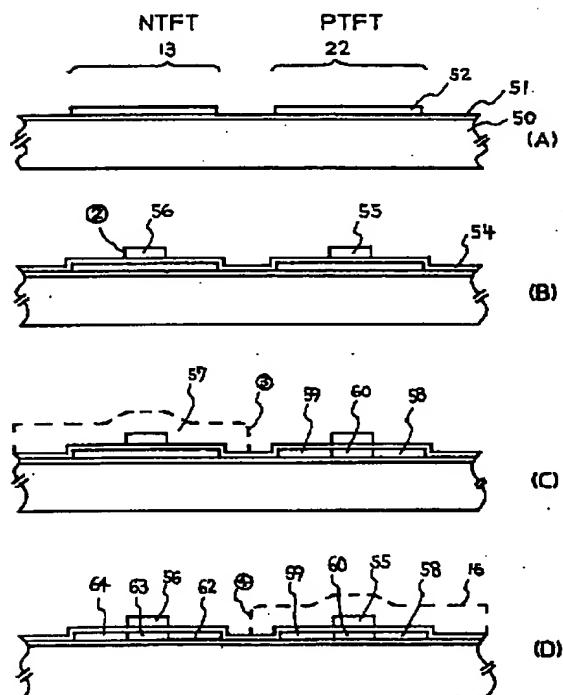
〔図4〕



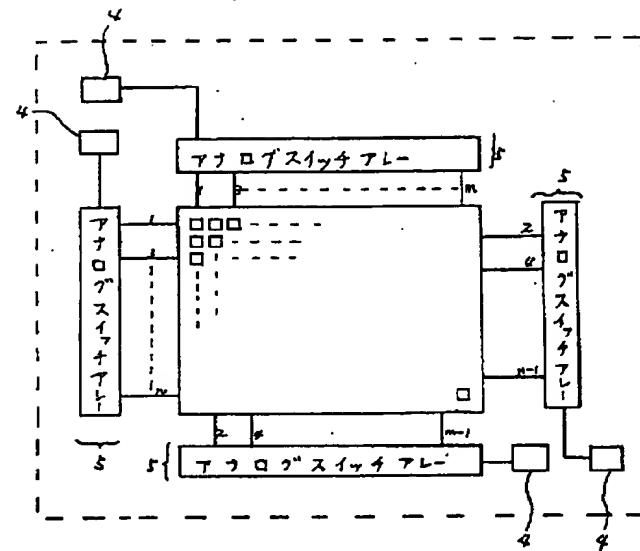
[図2]



[図3]



【図5】




---

フロントページの続き

(56) 参考文献

- 特開 昭58-182816 (J P, A)
- 特開 平1-223719 (J P, A)
- 特開 平2-207537 (J P, A)
- 特開 昭60-245174 (J P, A)
- 特開 昭63-237570 (J P, A)
- 特開 昭57-99729 (J P, A)
- 特開 昭63-237571 (J P, A)